الجمهورية الشعبية الديمقراطية الجزائرية
People's Democratic Republic of Algeria
وزارة التعليم العالي و البحث العلمي
Ministry of Higher Education and Scientific Research
المدرسة العليا للإعلام الآلي 8 ماي 5491 - سيدي بلعباس
Higher School of Computer Science
8 Mai 1945 - Sidi Bel Abbes

Graduation Thesis

To obtain the diploma of **Engineering Degree**

Field of Study: **Computer Science**

Specialization: **Computer Systems Engineering (ISI)**

Theme

Implementation of critical applications on multi-core: execution mode analysis to improve interference estimations

---

Presented by
MEKDOUR Mohammed

Defended on: **September, 2025**
In front of the jury composed of

Dr. ALLAL Lamia	President of the Jury
Dr. MAIZA Claire	Supervisor
Dr. RAYMOND Pascal	Co-Supervisor
Pr. BENSLIMANE Sidi Mohammed	Co-Supervisor
Dr. BABA-AHMED Manel	Examiner

Academic Year: 2024/2025

Abstract

This thesis addresses the challenge of pessimism in the timing analysis of hard real-time systems deployed on multi-core architectures with shared memory. Existing tools, such as the Multi-core Interference Analysis (MIA), compute safe upper bounds of the Worst-Case Response Time (WCRT) by considering all possible interference scenarios between tasks. However, this often leads to overly conservative estimates, which may prevent systems from being declared schedulable even when they could operate correctly in practice.

Our contribution extends MIA by integrating task execution modes and functional constraints into the interference analysis. The approach uses an SMT solver (Z3) to exclude infeasible mode combinations and refine interference cost estimations. A systematic methodology and implementation were developed, enabling tighter WCRT bounds while preserving safety guarantees.

This work demonstrates that exploiting software-level functional information can substantially improve timing precision in multi-core real-time systems, paving the way for future extensions to more complex arbitration policies and industrial case studies.

Keywords: Hard real-time systems; Multi-core architectures; Timing analysis; Interference analysis; Execution modes; Functional constraints; Worst-Case Response Time (WCRT); Worst-Case Execution Time (WCET); Worst-Case Memory Access (WCA); Directed Acyclic Graph (DAG); Task scheduling; Static analysis; Predictability; Round-robin arbitration; Shared memory; Formal methods; SMT solver (Z3); Optimization Modulo Theories; Parallel execution.

Résumé

Ce mémoire traite du problème de pessimisme dans l'analyse temporelle des systèmes temps réel stricts déployés sur des architectures multi-cœurs partageant la mémoire. Les outils existants, tel que MIA (Multi-core Interference Analysis), estiment le temps de réponse au pire cas (WCRT) en considérant tous les scénarios possibles d'interférences entre tâches. Cette approche, bien que sûre, produit souvent des bornes trop conservatrices pouvant conduire à déclarer un système non ordonnançable alors qu'il l'est en pratique.

La contribution proposée consiste à étendre MIA en intégrant les modes d'exécution des tâches ainsi que leurs contraintes fonctionnelles dans l'analyse. Grâce à un solveur SMT (Z3), les combinaisons de modes impossibles sont écartées, ce qui permet d'affiner le calcul des coûts d'interférence. Une méthodologie systématique et une implémentation logicielle ont été développées, garantissant des bornes de WCRT plus précises tout en maintenant la sûreté.

Ce travail que l'exploitation d'informations fonctionnelles issues du logiciel peut améliorer notablement la précision des analyses temporelles, ouvrant la voie à des extensions vers d'autres politiques d'arbitrage et des validations sur des cas industriels.

Mots clés : Systèmes temps réel stricts ; Architectures multi-cœurs ; Analyse temporelle ; Analyse d'interférences ; Modes d'exécution ; Contraintes fonctionnelles ; Temps de réponse au pire cas (WCRT) ; Temps d'exécution au pire cas (WCET) ; Accès mémoire au pire cas (WCA) ; Graphe acyclique dirigé (DAG) ; Ordonnancement des tâches ; Analyse statique ; Prédictabilité ; Arbitrage round-robin ; Mémoire partagée ; Méthodes formelles ; Solveur SMT (Z3) ; Optimisation Modulo Théories ; Exécution parallèle.

ملخص

يعالج هذا البحث مشكلة المبالغة في التقدير في تحليل التوقيت للأنظمة الزمن الحقيقي الصارم عند تنفيذها على معماريات متعددة الأنوية مع ذاكرة مشتركة. الأدوات الحالية مثل أداة MIA - Analysis Interference Multi-core تقوم بحساب حدود آمنة لزمن الاستجابة في أسوأ الحالات (WCRT) من خلال افتراض جميع سيناريوهات التداخل الممكنة بين المهام. غير أنّ هذه المنهجية تؤدي غالبًا إلى تقديرات محافظة جدًا تجعل بعض الأنظمة تبدو غير قابلة للجدولة رغم أنها تعمل بشكل صحيح عمليًا.

تتمثل مساهمة هذا العمل في توسيع أداة MIA عبر إدماج أنماط التنفيذ للمهام و القيود الوظيفية في التحليل. حيث تم استخدام محلل قيود SMT (Z3) لاستبعاد التركيبات غير الممكنة من الأنماط، مما يسمح بتحسين حساب تكاليف التداخل وزيادة دقة التقديرات دون الإخلال بالسلامة.

تؤكد هذه الدراسة أنّ استغلال المعلومات الوظيفية على مستوى البرمجيات يعزز بشكل ملموس دقة تحليل التوقيت في الأنظمة الزمن الحقيقي متعددة الأنوية، كما تمهد الطريق لتوسيع المنهجية نحو سياسات تحكيم أكثر تعقيدًا ودراسات تطبيقية صناعية.

الكلمات المفتاحية: الأنظمة الزمنية الحقيقية الصارمة؛ المعماريات متعددة الأنوية؛ التحليل الزمني؛ تحليل التداخلات؛ أوضاع التنفيذ؛ القيود الوظيفية؛ زمن الاستجابة في أسوأ الحالات (WCRT)؛ زمن التنفيذ في أسوأ الحالات (WCET)؛ الوصول إلى الذاكرة في أسوأ الحالات (WCA)؛ الرسم البياني الدوري الموجه (DAG)؛ جدولة المهام؛ التحليل الساكن؛ إمكانية التنبؤ؛ سياسة التحكيم الدائري (Round-Robin)؛ الذاكرة المشتركة؛ الطرق الصورية (Formal-Methods)؛ محلل SMT (Z3)؛ التحسين وفق النظريات (Optimization-Modulo-Theories)؛ التنفيذ المتوازي.